

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07284024 A**(43) Date of publication of application: **27.10.95**

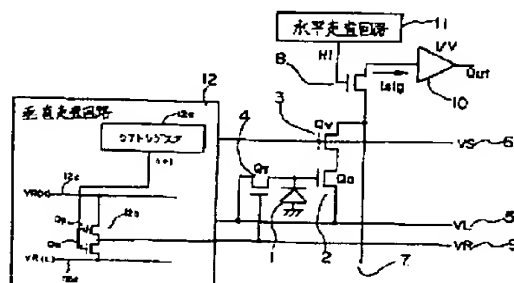
(51) Int. Cl.

**H04N 5/335****H01L 27/146**(21) Application number: **06069351**(22) Date of filing: **07.04.94**(71) Applicant: **NIPPON HOSO KYOKAI <NHK>**  
**mitsubishi Electric Corp**(72) Inventor: **ANDO FUMIHIKO**  
**TANAKA KATSU**  
**KAWASHIMA HIKARI**  
**MURATA NAOFUMI****(54) SOLID-STATE IMAGE PICKUP ELEMENT****(57) Abstract:**

**PURPOSE:** To suppress blooming at the time of high luminance object image pickup and to obtain improved images over the wide range of illuminance by discharging excessive charge generated in a photoelectric conversion element part from the source side of a MOS transistor for reset.

**CONSTITUTION:** In a storage mode in which a photoelectric conversion element 1 integrates signal charge generated by incident light, by the driver circuit 12b of a vertical scanning circuit 12, a power supply line 12c is turned to a high level VR (H), a 12d is turned to a low level potential VR (L) and a voltage equal to or more than a threshold value is applied through a vertical selection line 9 for reset to the gate of the MOS transistor 4 for reset serially connected to the photoelectric conversion element 1. Thus, the MOS transistor 4 for reset is turned to an ON state during a storage period, the excessive charge generated in the photoelectric conversion element 1 is discharged to the source side and the blooming is suppressed.

COPYRIGHT: (C)1995,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-284024

(43)公開日 平成7年(1995)10月27日

(51) Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

FI

### 技術表示箇所

H04N 5/335

P

H01L 27/146

H01L 27/14

**A**

審査請求 未請求 請求項の数4 OL (全 9 頁)

(21)出願番号

特選平6-69351

(22) 出題目

平成6年(1994)4月7日

特許法第30条第1項適用申請有り 1993年12月5日、ワシントン・ディー・シー発行の「1993年国際電子装置学会IEDMテクニカル・ダイジェスト」に発表

(71)出願人 000004352

日本放送協会

東京都渋谷区神南2丁目2番1号

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 安藤 文彦

東京都世田

送協會 放送技術研究所内

田中 克

東京都世

送協會 放送技術研究所内

弁理士 曾我 道照 (外)

最終

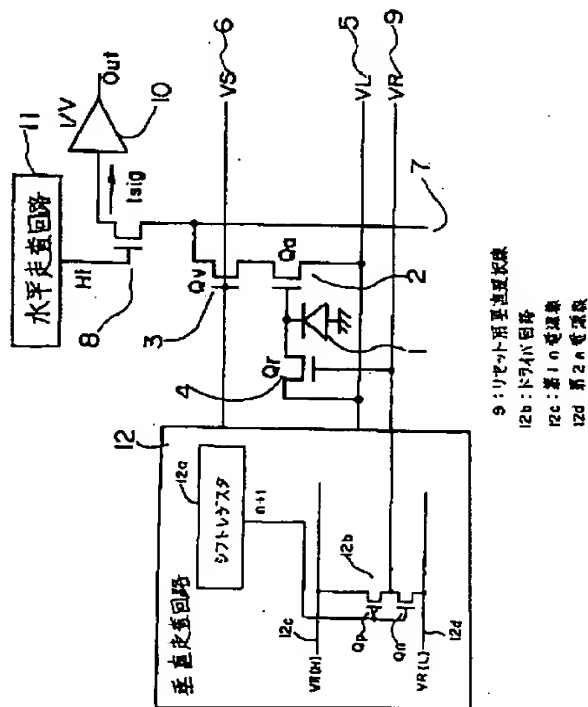
**最終頁に続く**

(54) 【発明の名称】 固体撮像素子

(57) 【要約】

【目的】 高輝度被写体撮像時のブルーミングを抑制し、広範囲の照度において良好な画像が得られる固体撮像素子を得る。

【構成】 光電変換素子にリセット用MOSトランジスタが直列に接続された増幅型固体撮像素子の垂直走査回路内リセット用垂直選択線の出力部として、シフトパルスを送出するシフトレジスタ12a、MOSトランジスタQpとMOSトランジスタQnとのインバータでなるドライバ回路12b、リセット用垂直選択線9にハイレベルの電位を供給するための第1の電源線12c、上記リセット用垂直選択線9にローレベルの電位を供給するための第2の電源線12dを備え、第2の電源線の電位をリセット用MOSトランジスタのしきい値以上に設定し、蓄積時にリセット用MOSトランジスタのゲートにしきい値以上の電圧を印加することで、横型のオーバーフローレインとして働かせる。



## 【特許請求の範囲】

【請求項 1】 ソース領域を光電変換素子部としたリセット用の第 1 の MOS トランジスタと、上記光電変換素子部にゲートが接続された増幅読出用の第 2 の MOS トランジスタと、上記第 2 の MOS トランジスタに直列に接続された画素選択用の第 3 の MOS トランジスタとを有する画素を複数備えた固体撮像素子において、上記光電変換素子部の電荷蓄積時に、上記第 1 の MOS トランジスタのゲートに該 MOS トランジスタのしきい値以上の電圧を印加する走査手段を備えたことを特徴とする固体撮像素子。

【請求項 2】 上記第 1 の MOS トランジスタをディプレッショントランジスタで構成したことを特徴とする請求項 1 記載の固体撮像素子。

【請求項 3】 上記第 1 の MOS トランジスタのチャネル濃度が基板またはウェルの濃度と等しいことを特徴とする請求項 1 記載の固体撮像素子。

【請求項 4】 上記第 1 の MOS トランジスタのゲート長が最小線幅で構成されていることを特徴とする請求項 1 記載の固体撮像素子。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は、固体撮像素子に関し、特に、増幅読出型固体撮像素子の改善に関するものである。

## 【0002】

【従来の技術】 従来、イメージセンサは、水平方向の高解像度化及び高密度化にともなって、イメージセンサ中の 1 画素当たりの面積が縮小し、1 画素当たりに入射する光量が減少している。したがって、イメージセンサから読み出される信号の強度が低下し、 $S/N$  比 ( $S$  は信号、 $N$  はノイズ) の低下を招いている。このような問題を克服するために、増幅読出型のイメージセンサを用いることが望ましいと考えられている。

【0003】 図 9 は従来の増幅読出型イメージセンサの典型的な一例を示す回路図である。このイメージセンサは、例えば PN 接合で形成された光電変換素子 1、増幅読出用 MOS トランジスタ 2、垂直選択線にゲートが接続された画素選択用 MOS トランジスタ 3、及び光電変換素子 1 のリセット用 MOS トランジスタ 4 を 1 画素として複数備え、それらの機能素子 1 ~ 4 を含む画素に電源を供給する水平電源線 5、垂直方向に配列された画素を選択するための垂直選択線 6、垂直方向に配置された垂直信号線 7、水平方向に配列された画素を選択するための水平選択用 MOS トランジスタ 8、水平信号線 13、信号電流を電圧に変換するための  $I/V$  変換アンプ 10、水平走査回路 11、および垂直走査回路 12 を備えている。

【0004】 図 10 は図 9 に示すイメージセンサの任意の 1 つの画素の動作を説明するための回路図である。な

お、上述した図 9 の構成では、画素アレイ内に配置される配線数を減らして集積度を高めるために、リセット用垂直選択線 9 を、次の行の垂直選択線 6 と共用していたが、図 10 の構成では、リセット用垂直選択線 9 と次の行の垂直選択線 6 とを分離して示し、また、種々の参照符号で表されたそれぞれの位置における信号は図 9 と同一の参照符号を用いて表す。

【0005】 また、図 11 は図 10 に示す 1 画素の回路の動作を説明するためのタイミングチャートである。図 11 において、期間 1H は通常のテレビ方式における 1 水平期間であって、期間 H-BLK は水平帰線期間、期間 Read-out は信号読出期間に相当する。また、クロック  $V_1$  およびクロック  $H_1$  は、それぞれ垂直走査回路 12 および水平走査回路 11 に供給されるクロックを模式的に表している。

【0006】 今、図 11 に示す時刻  $T_0$  においては、 $V_S$  で示す垂直選択線 6 と  $V_L$  で示す水平電源線 5 の電位がハイレベルにされており、増幅読出用 MOS トランジスタ 2 と垂直選択用 MOS トランジスタ 3 が導通状態になっている。上記増幅読出用 MOS トランジスタ 2 のゲート電極には光電変換素子 1 の出力端が接続されているので、増幅読出用 MOS トランジスタ 2 は光電変換素子 1 の出力電位  $V_{pd}$  に依存するインピーダンスで導通状態になっている。その後、読出期間 Read-out 内の時刻  $T_1$  において、水平走査回路 11 からの  $i$  番目の出力信号  $H_i$  がハイレベルになって水平選択用 MOS トランジスタ 8 が導通状態になれば、垂直信号線 7 が  $I/V$  変換アンプ 10 へ電気的に接続され、光電変換素子 1 の出力電位  $V_{pd}$  に対応した信号電流  $I_{sig}$  が電圧信号として読み出されることになる。

【0007】 次の水平帰線期間内の時刻  $T_2$  においては、 $V_R$  で示すリセット用垂直選択線 9 の電位がハイレベルになり、光電変換素子 1 は、垂直選択用 MOS トランジスタ 3、リセット用 MOS トランジスタ 4 を通して水平電源線 5 から供給される電圧レベル  $V_{reset}$  にリセットされる。そして、次の水平帰線期間内の時刻  $T_3$  から、光電変換素子 1 は入射光に依存して発生する信号電荷を積分する蓄積モードに入る。

## 【0008】

【発明が解決しようとする課題】 従来の増幅型イメージセンサは以上のように構成されており、イメージセンサ中の 1 画素当たりの面積が縮小されて高集積化が図られているので、高輝度被写体撮像時には、過大な入射光によって画素中に発生する信号電荷が過剰となり、その過剰電荷が隣接画素にあふれ、本来、光の照射されていない画素部分にも光が入っているかのような、いわゆるブルーミング現象によって画質を損なうという問題点があった。

【0009】 この発明は、上記のような問題点を解消するためになされたもので、高輝度被写体撮像時のブルー

ミングを抑制し、広範囲の照度において良好な画像が得られる固体撮像素子を得ることを目的とする。

#### 【0010】

【課題を解決するための手段】この発明の請求項1に係る固体撮像素子は、ソース領域を光電変換素子部としたリセット用の第1のMOSトランジスタと、上記光電変換素子部にゲートが接続された増幅読出用の第2のMOSトランジスタと、上記第2のMOSトランジスタに直列に接続された画素選択用の第3のMOSトランジスタとを有する画素を複数備えた固体撮像素子において、上記光電変換素子部の電荷蓄積時に、上記第1のMOSトランジスタのゲートに該MOSトランジスタのしきい値以上の電圧を印加する走査手段を備えたことを特徴とするものである。

【0011】また、請求項2に係る固体撮像素子は、上記第1のMOSトランジスタをディプレッショントランジスタで構成したことを特徴とするものである。

【0012】また、請求項3に係る固体撮像素子は、上記第1のMOSトランジスタのチャネル濃度が基板またはウェルの濃度と等しいことを特徴とするものである。

【0013】さらに、請求項4に係る固体撮像素子は、上記第1のMOSトランジスタのゲート長が最小線幅で構成されていることを特徴とするものである。

#### 【0014】

【作用】この発明の請求項1に係る固体撮像素子においては、走査手段により、光電変換素子部の電荷蓄積時に、リセット用の第1のMOSトランジスタのゲートに該MOSトランジスタのしきい値以上の電圧を印加することにより、光電変換素子部をリセットするための第1のMOSトランジスタを蓄積期間中もON状態にし、光電変換素子部で発生した過剰電荷をリセット用の第1のMOSトランジスタのソース側より引き抜くようにして、ブルーミングを抑制する。

【0015】また、請求項2に係る固体撮像素子においては、上記第1のMOSトランジスタをディプレッショントランジスタで構成することにより、ゲートに印加する電圧をグラウンドレベルにすることができ、その電源線を不要とすることが可能となる。

【0016】また、請求項3に係る固体撮像素子においては、上記第1のMOSトランジスタのチャネル濃度を基板またはウェルの濃度と等しくすることにより、しきい値電圧をその濃度で決めることができ、リセットばらつきを低減させる。

【0017】さらに、請求項4に係る固体撮像素子においては、上記第1のMOSトランジスタのゲート長を最小線幅で構成することにより、画素寸法の縮小が可能とする。

#### 【0018】

#### 【実施例】

実施例1. 以下、この発明の実施例1を図について説明

する。まず、この実施例1においては、従来例に係る図9に示すイメージセンサの構成及び図10に示す1画素の回路と同一の構成を備えるが、図10に示す回路図において、垂直走査回路12内のリセット用垂直選択線9の出力部の回路構成が異なり、光電変換素子1の電荷蓄積時に、リセット用MOSトランジスタ4のゲートに該MOSトランジスタ4のしきい値以上の電圧を印加することにより、光電変換素子1のリセット用MOSトランジスタ4を蓄積期間中もON状態にし、光電変換素子1で発生した過剰電荷をリセット用MOSトランジスタ4のソース側より引き抜くようにして、ブルーミングを抑制する。

【0019】すなわち、図1は実施例1に係るもので、図10に示す1画素の回路構成図において、垂直走査回路12内のリセット用垂直選択線9の出力部を詳細に示す回路構成図である。図1において、1ないし12は図10と同一部分を示し、1は例えばPN接合で形成された光電変換素子、2は増幅読出用MOSトランジスタ、3は垂直選択線にゲートが接続された画素選択用MOSトランジスタ、4は光電変換素子1のリセット用MOSトランジスタで、これらによりイメージセンサの1画素を構成する。また、5はそれらの機能素子1~4を含む画素に電源を供給する水平電源線、6は垂直方向に配列された画素を選択するための垂直選択線、7は垂直方向に配置された垂直信号線、8は水平方向に配列された画素を選択するための水平選択用MOSトランジスタ、10は信号電流を電圧に変換するためのI/V変換アンプ、11は水平走査回路、12は垂直走査回路、13は水平信号線であり、上記垂直走査回路12内のリセット用垂直選択線9の出力部の回路構成として、12aはシフトパルスを送出するシフトレジスタ、12bはpチャネルMOSトランジスタQpとnチャネルMOSトランジスタQnとのインバータでなるドライバ回路、12cはリセット用垂直選択線9にハイレベルの電位VR

(H)を供給するための第1の電源線、12dは上記リセット用垂直選択線9にローレベルの電位VR(L)を供給するための第2の電源線で、この第2の電源線VR(L)の電位は、リセット用MOSトランジスタ4のしきい値以上に設定されている。

【0020】また、図2は実施例1の動作を説明するためのタイミングチャートであり、図3は実施例1の動作を説明するためのリセット用MOSトランジスタ4の断面模式図とポテンシャルフローチャートを示すもので、以下、図2及び図3を参照して実施例1に係るイメージセンサの動作を説明する。なお、図2において、期間1Hは通常のテレビ方式における1水平期間であって、期間H-BLKは水平帰線期間、期間Read-outは信号読出期間に相当する。また、クロックV1およびクロックH1は、それぞれ垂直走査回路12および水平走査回路11に供給されるクロックを模式的に表している。ま

た、図3において、(A)はリセット用MOSトランジスタ4の断面模式図で、リセット用MOSトランジスタ4のゲート4aはリセット用垂直選択線9に、ドレイン4bは水平電源線5にそれぞれ接続され、ソース領域は光電変換素子1になっている。また、4cは基板を示している。

【0021】今、図2において、時刻T0からT2までは従来例と同様に動作し、光電変換素子1は、水平電源線5から供給される電圧レベルVreset にリセットされる(図3(D)参照)。すなわち、図2に示す時刻T0においては、VSで示す垂直選択線6とVLで示す水平電源線5の電位がハイレベルにされており、増幅読出用MOSトランジスタ2と垂直選択用MOSトランジスタ3が導通状態になっている。上記増幅読出用MOSトランジスタ2のゲート電極には光電変換素子1の出力端が接続されているので、増幅読出用MOSトランジスタ2は光電変換素子1の出力電位 $V_{pd}$ に依存するインピーダンスで導通状態になっている。

【0022】その後、読出期間Read-out内の時刻T1において、水平走査回路11からのi番目の出力信号Hiがハイレベルになって水平選択用MOSトランジスタ8が導通状態になれば、垂直信号線7がI/V変換アンプ10へ電気的に接続され、光電変換素子1の出力電位 $V_{pd}$ に対応した信号電流 $I_{sig}$ が電圧信号として読み出されることになる。次の水平帰線期間内の時刻T2においては、VRで示すリセット用垂直選択線9の電位がハイレベルになり、光電変換素子1は、垂直選択用MOSトランジスタ3、リセット用MOSトランジスタ4を通して水平電源線5から供給される電圧レベルVreset にリセットされる。

【0023】そして、時刻T3より、光電変換素子1は、入射光に依存して発生する信号電荷を積分する蓄積モードに入る(図3(B)参照)。この時、リセット用MOSトランジスタ4のゲート4aのポテンシャル電位は、リセット用MOSトランジスタ4のバックゲートが印加されていない時のスレシホールド(しきい値)電圧を $V_{thr}(O)$ とすると、 $VR(L) > V_{thr}(O)$ となるように、リセット用垂直選択線9のローレベル $VR(L)$ の電位に設定される。すなわち、図1に示されるように、リセット用垂直選択線9の電位は、インバータでなるドライバ回路12bによって、シフトレジスタ12aのn+1番目のシフトパルスに反転したタイミングで、第1の電源線12cのハイレベルの電位 $VR(H)$ と第2の電源線12dのローレベルの電位 $VR(L)$ となり、蓄積モード時は、第2の電源線12dによって設定されたローレベルの電位 $VR(L)$ 、つまりリセット用MOSトランジスタ4のしきい値電圧以上の電圧がリセット用MOSトランジスタ4のゲートに印加される。

【0024】従って、光電変換素子1のポテンシャル電位、すなわち、リセット用MOSトランジスタ4のソ-

ス電位 $\phi_{pd}$ が、 $\phi_{pd} > VR(L) - V_{thr}(\phi_{pd})$  ( $V_{thr}(\phi_{pd})$ は、バックゲート印加時のスレシホールド電圧)の時は、リセット用MOSトランジスタ4はカットオフするため、通常の蓄積動作が行われ、 $\phi_{pd} < VR(L) - V_{thr}(\phi_{pd})$ となると、リセット用MOSトランジスタ4はONし、ドレイン4bへ過剰電荷が引き抜かれ、リセット用MOSトランジスタ4はオーバーフロードレインとして働くことにより(図3(c)及び図2の時刻T4参照)、過剰電荷が隣接画素へ広がらなくブルーミングが抑制される。

【0025】ここで、光電変換素子1の最大蓄積電荷量 $Q_{max}$ は、 $\{V_{reset} - (VR(L) - V_{thr}(L))\} / C_{pd}$ で決まる。

【0025】ここで、光電変換素子1の最大蓄積電荷量 $Q_{max}$ は、

$\{V_{reset} - (VR(L) - V_{thr}(L))\} / C_{pd}$ で決まる。

$C_{pd}$ : 光電変換素子1の容量

$V_{thr}(L)$ ;  $\phi_{pd} = VR(L) - V_{thr}(\phi_{pd})$ を満たす $V_{thr}(\phi_{pd})$

【0026】従って、上記実施例1によれば、蓄積モード時に、光電変換素子1に直列接続したリセット用MOSトランジスタ4のゲートに、第2の電源線12dによって設定されたリセット用MOSトランジスタ4のしきい値電圧以上の電圧を印加するようにしたので、蓄積期間中もリセット用MOSトランジスタ4をON状態にし、光電変換素子1で発生した過剰電荷をリセット用MOSトランジスタ4のソース側に引き抜くようにしてブルーミングを抑制し、広範囲の照度において良好な画像が得られる。

【0027】実施例2. 次に、実施例2について説明する。図4は実施例2に係る1画素の回路図を示し、図10に示す実施例1と同一部分は同一符号を付し、その説明は省略する。この実施例2に係る1画素の回路図においては、図4に示すように、リセット用MOSトランジスタ4のゲートをVLで示される水平電源線5に接続し、図10に示す実施例1の構成に対し、リセット用垂直選択線9を省いた点が異なり、垂直走査回路12Aにより、光電変換素子1の電荷蓄積時に、水平走査線5を介して実施例1と同様にリセット用MOSトランジスタ4のゲートにしきい値以上の電圧を印加するようにしている。

【0028】すなわち、図5は上記垂直走査回路12A内の水平電源線5の出力部を示す回路構成図である。図5において、12Aaはシフトパルスを送出するシフトレジスタ、12Abは、後述する第1と第2の電源線間に設けられたpチャネルMOSトランジスタ $Q_{p1}$ とnチャネルMOSトランジスタ $Q_{n1}$ とでなるインバータとnチャネルMOSトランジスタ $Q_{n2}$ との直列体と、後述する第2の電源線と上記インバータの出力端子、つまり水平電源線5との間に設けられたpチャネルMOSトランジスタ $Q_{p2}$ を有するドライバ回路であり、また、12Acは水平電源線5にハイレベルの電位VL(H)を供給

するための第1の電源線、12Adは上記水平電源線5にローレベルの電位VL(L)を供給するための第2の電源線、12Aeは上記水平電源線5にミドルレベルの電位VL(M)を供給するための第3の電源線を示し、ここで、上記第3の電源線12Aeのミドルレベルの電位VL(M)は、リセット用MOSトランジスタ4のしきい値以上の信号読み出しにおける電源電圧に設定されている。

【0029】また、図6は実施例2の動作を説明するためのタイミングチャートであり、図7は実施例2の動作を説明するためのリセット用MOSトランジスタ4の断面模式図とポテンシャルフローチャートを示すもので、以下、図6及び図7を参照して実施例2に係るイメージセンサの動作を説明する。なお、図6において、期間1Hは通常のテレビ方式における1水平期間であって、期間H-BLKは水平帰線期間、期間Read-outは信号読出期間に相当する。また、クロックV1およびクロックH1は、それぞれ垂直走査回路12および水平走査回路11に供給されるクロックを模式的に表している。また、図7において、(A)はリセット用MOSトランジスタ4の断面模式図で、リセット用MOSトランジスタ4のゲート4aとドレイン4bは水平電源線5に接続され、ソース領域は光電変換素子1になっている。また、4cは基板を示している。

【0030】今、図6においては、従来例と同様に動作する。すなわち、時刻T2において、水平電源線5の電位がハイレベルになると、光電変換素子1のポテンシャル電位 $\phi_{pb}$ は、 $\phi_{pb} = VL(H) - V_{thr}(H)$ にリセットされる(図7(D)参照)。そして、時刻T3より実施例1と同様に、蓄積モードに入る(図7(C)参照)。この時、リセット用MOSトランジスタ4のゲート4aのポテンシャル電位は、 $VL(L) > V_{thr}(O)$ となるように、VLで示される水平電源線5のローレベルの電位に設定される。この実施例2では、 $VL(L) = VL(M)$ とした。ミドルレベルVL(M)は、時刻T0、T1時の信号読出における電源電圧である。

【0031】すなわち、図1に示されるように、水平電源線6の電位は、ドライバ回路12Abによって、シフトレジスタ12Aaのn+1番目のシフトパルスに反転したタイミングで、第1の電源線12Acのハイレベルの電位VL(H)と第3の電源線12Aeのミドルレベルの電位VL(M)となり、蓄積モード時は、第3の電源線12Aeによって設定されたミドルレベルの電位VL(M)、つまりリセット用MOSトランジスタ4のしきい値電圧以上の信号読出における電源電圧がリセット用MOSトランジスタ4のゲートに印加される。

【0032】従って、 $\phi_{pb} > VL(L) - V_{thr}(\phi_{pb})$ の時は、リセット用MOSトランジスタ4はカットオフし、通常の蓄積動作が行われる。 $\phi_{pb} < VL$

$(L) - V_{thr}(\phi_{pb})$ となると、リセット用MOSトランジスタ4はONし、ドレイン4bへ過剰電荷は引き抜かれ、リセット用MOSトランジスタ4がオーバードレインとして働く(図7(C)及び図6に示す時刻T4参照)。

【0033】ここで、光電変換素子1の最大蓄積電荷量 $Q_{max}$ は、

$$\{(VL(H) - V_{thr}(H)) - (VL(M) - V_{thr}(M))\} / C_{pb}$$

で決まる。

$V_{thr}(H)$  ;  $\phi_{pb} = VR(H) - V_{thr}(\phi_{pb})$ を満たす $V_{thr}(\phi_{pb})$

【0034】従って、上記実施例2によれば、蓄積モード時に、光電変換素子1に直列接続したリセット用MOSトランジスタ4のゲートに、第3の電源線12Aeによって設定されたリセット用MOSトランジスタ4のしきい値電圧以上の電圧を印加するようにしたので、実施例1と同様に、蓄積期間中もリセット用MOSトランジスタ4をON状態にし、光電変換素子1で発生した過剰電荷をリセット用MOSトランジスタ4のソース側に引き抜くようにしてブルーミングを抑制し、広範囲の照度において良好な画像が得られる。

【0035】実施例3. この実施例3においては、図10と図4に示す実施例1と実施例2のリセット用MOSトランジスタ4をディプレッショントランジスタとすることにより、そのゲートに接続する電源線を不要にすることを図る。通常、MOSトランジスタのスレシホールド電圧 $V_{th}(O)$ は、ノイズマージン等を見込み、NMOSトランジスタの場合、 $V_{th}(O) > 0$ に設定されている。従って、図10と図2で示したように、リセット用垂直選択線9と水平電源線5のローレベル $VR(L)$ と $VL(L)$ は、それぞれ垂直選択線6のローレベル等とは別電源が必要であるが、 $V_{thr}(O) < 0$ 、つまりリセット用MOSトランジスタ4をディプレッショントランジスタにすれば、リセット用垂直選択線9と水平電源線5のローレベル $VR(L)$ と $VL(L)$ をグランドレベルにすることができ、その電源線を不要とすることができる。

【0036】実施例4. また、上記実施例1と2において、リセット用MOSトランジスタ4のスレシホールド電圧 $V_{thr}(O)$ は、他のMOSトランジスタの $V_{th}(O)$ より小さくても良いので、リセット用MOSトランジスタ4として、短チャネル効果等の効く最小のゲート長Lのものを使用とすることができ、この実施例4においては、上記実施例1と2におけるリセット用MOSトランジスタ4として、ゲート長が最小線幅のものを使用することにより、画素寸法の縮小を可能にすることができる。

【0037】実施例5. また、この実施例5においては、上記実施例1と2におけるリセット用MOSトラン

ジスタ4のチャネル濃度を基板またはウェルの濃度と等しくすることにより、リセットバラツキの低減効果を図るようにしている。すなわち、通常のMOSトランジスタの $V_{th}(O)$ は、マージンをもたせるため、イオン注入等により、ゲート下のアクセプタ濃度を基板(ウェル)濃度より濃くするが、 $V_{thr}(O)$ はマージンが不要であり、リセット用MOSトランジスタ4の $V_{thr}(O)$ は、基板(ウェル)濃度で決めることができ、基板(ウェル)濃度で決めることで、リセットバラツキを低減できる等の効果がある。

【0038】実施例6. なお、上記実施例1~5では、MOSトランジスタは、NMOSで構成した場合を示したが、PMOSでも良く、その場合、極性は反対になるが、同様の効果を奏する。

【0039】実施例7. 次に、図8はこの発明の別の実施態様を示すものである。図8において、14と15は画素混合用MOSトランジスタ、16は画素混合用垂直選択線(VT)を示し、図4に示した実施例2の画素を構成する回路要素1~6に、画素混合用MOSトランジスタ14を付加した第1グループと、光電変換素子1、画素混合用MOSトランジスタ15、画素混合用垂直選択線16からなる第2グループとを垂直方向に交互に配置した構成を備えている。

【0040】この回路構成では、蓄積後、画素混合用トランジスタ14(フィールド切り換え後は画素混合用トランジスタ15)をONし、第1と第2グループの光電変換素子1に蓄積された信号電荷を混合した後、実施例2と同様に信号を読み出し、リセット動作を行う。本実施態様においても、実施例2と同様に、蓄積時に $V_L(L) > V_{thr}(O)$ となるように、水平電源線5のローレベルを設定することで、実施例1及び2と同様の効果を奏する。

【0041】

【発明の効果】以上のように、この発明の請求項1によれば、ソース領域を光電変換素子部としたリセット用の第1のMOSトランジスタと、上記光電変換素子部にゲートが接続された増幅読出用の第2のMOSトランジスタと、上記第2のMOSトランジスタに直列に接続された画素選択用の第3のMOSトランジスタとを有する画素を複数備えた固体撮像素子において、上記光電変換素子部の電荷蓄積時に、リセット用の第1のMOSトランジスタのゲートに該MOSトランジスタのしきい値以上の電圧を印加する走査手段を備えたので、上記光電変換素子部をリセットするための第1のMOSトランジスタを蓄積期間中もON状態にし、光電変換素子部で発生した過剰電荷をリセット用の第1のMOSトランジスタのソース側より引き抜くようにしてブルーミングを抑制することができ、広範囲の照度において良好な画像を得ることができるという効果がある。

【0042】また、請求項2によれば、上記第1のMO

Sトランジスタをディプレッショントランジスタで構成することにより、ゲートに印加する電圧をグラウンドレベルにすることができ、その電源線を不要とすることができるという効果がある。

【0043】また、請求項3によれば、上記第1のMOSトランジスタのチャネル濃度を基板またはウェルの濃度と等しくすることにより、しきい値電圧をその濃度で決めることができ、リセットばらつきを低減させることができるという効果がある。

【0044】さらに、請求項4によれば、上記第1のMOSトランジスタのゲート長を最小線幅で構成することにより、画素寸法を縮小させることができるという効果がある。

【図面の簡単な説明】

【図1】 この発明の実施例1に係る固体撮像素子を説明するためのもので、垂直走査回路12内のリセット用垂直選択線9の出力部の回路構成図である。

【図2】 この発明の実施例1に係る固体撮像素子の動作を説明するタイミングチャートである。

【図3】 この発明の実施例1に係る固体撮像素子の断面模式図及びポテンシャルフロー図である。

【図4】 この発明の実施例2に係る固体撮像素子を説明するためのもので、1画素の回路構成図である。

【図5】 この発明の実施例2に係る固体撮像素子を説明するためのもので、図4に示す垂直走査回路12A内の水平電源線5の出力部を示す回路構成図である。

【図6】 この発明の実施例2に係る固体撮像素子の動作を説明するタイミングチャートである。

【図7】 この発明の実施例1に係る固体撮像素子の断面模式図及びポテンシャルフロー図である。

【図8】 この発明の実施例7に係るもので、実施例2の画素を構成する回路に、画素混合用MOSトランジスタを付加した第1グループと、光電変換素子と画素混合用MOSトランジスタ及び画素混合用垂直選択線からなる第2グループとを垂直方向に交互に配置した適用例の構成図である。

【図9】 この発明及び従来例に係る増幅読出型固体撮像素子を示す回路図である。

【図10】 この発明の実施例1及び従来例に係る固体撮像素子の1画素の回路構成図である。

【図11】 従来例に係る固体撮像素子の動作を説明するタイミングチャートである。

【符号の説明】

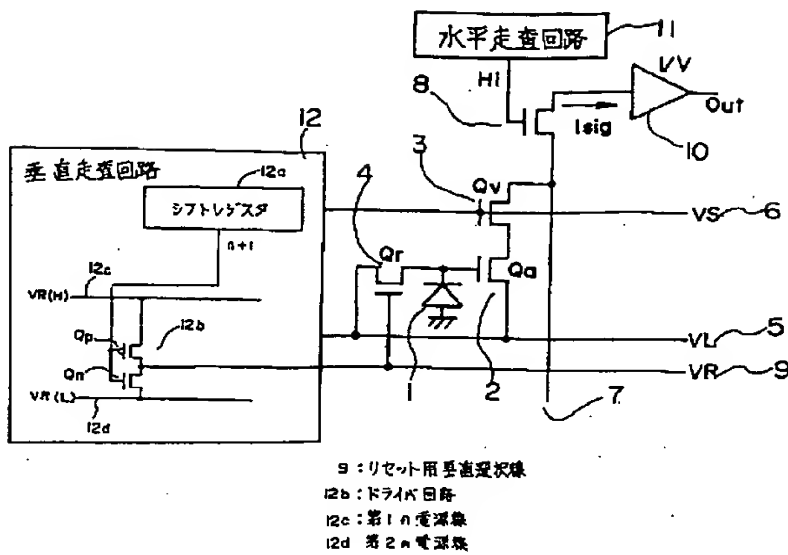
1 光電変換素子、2 増幅読出用MOSトランジスタ、3 画素選択用MOSトランジスタ、4 リセット用MOSトランジスタ、5 水平電源線、6 垂直選択線、7 垂直信号線、9 リセット用垂直選択線、12 垂直走査回路、12a シフトレジスタ、12b ドライブ回路、12c 第1の電源線、12d 第2の電源線、12A 垂直走査回路、12Aa シフトレジ



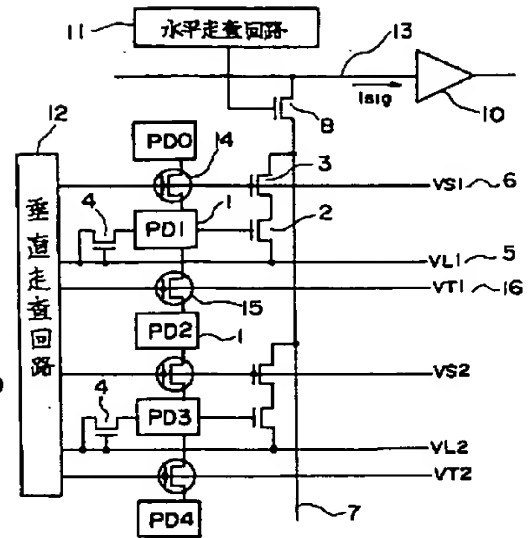
タ、12Ab ドライバ回路、12Ac 第1の電源

線、12Ad 第2の電源線、12Ae 第3の電源線

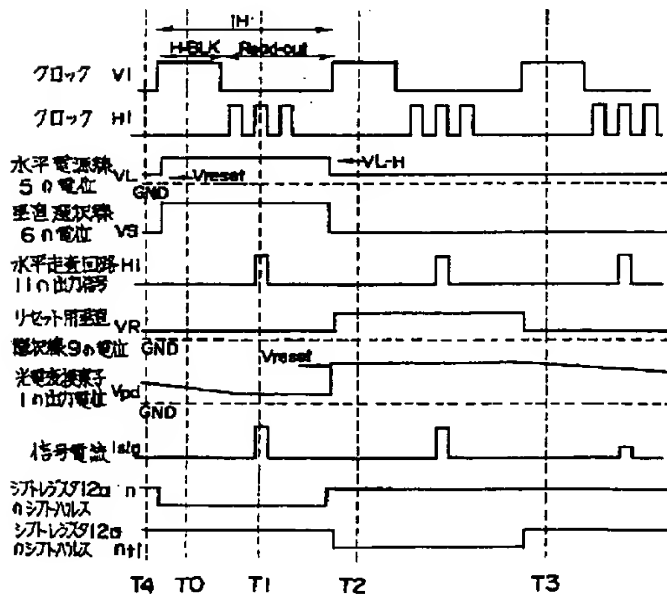
【図1】



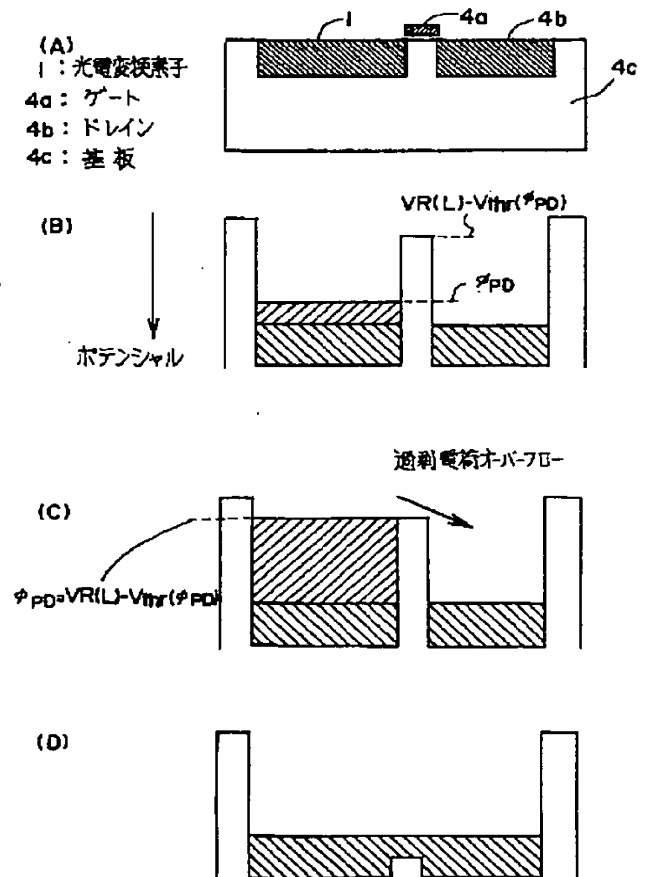
【図8】



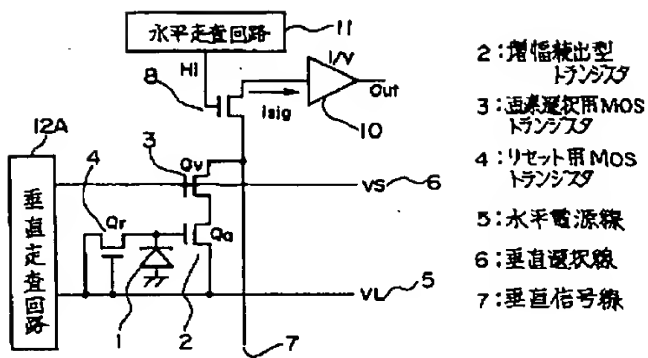
【図2】



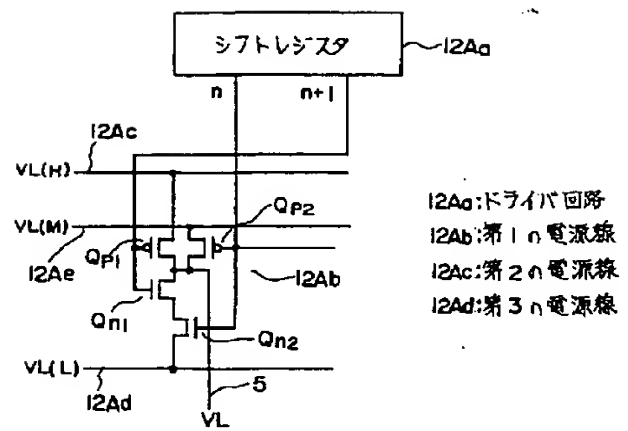
【図3】



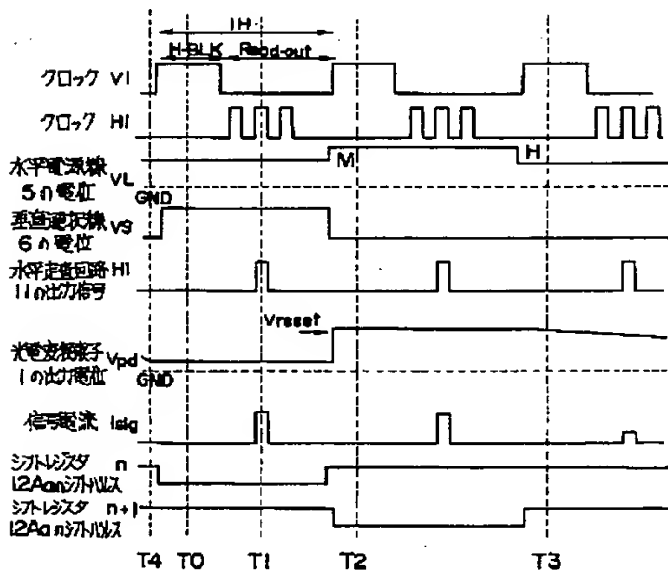
【図4】



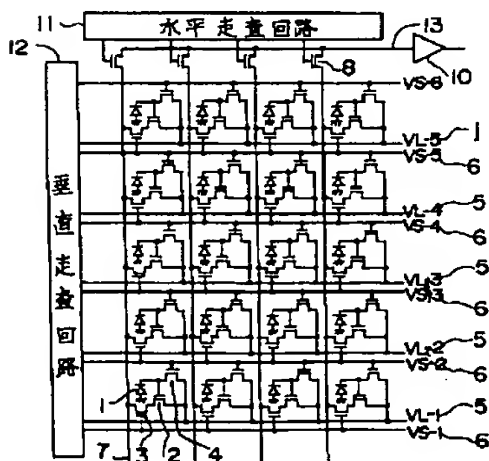
【図5】



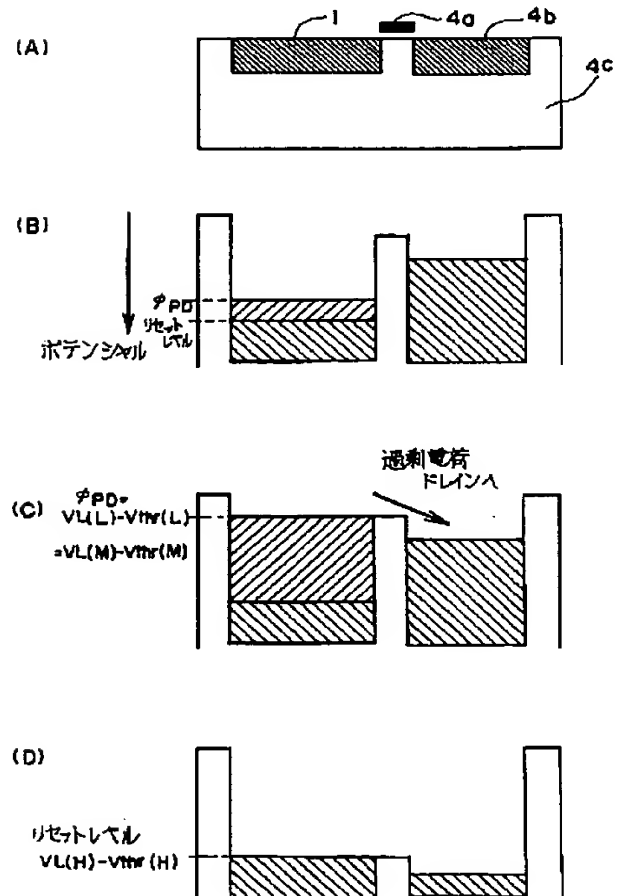
【図6】



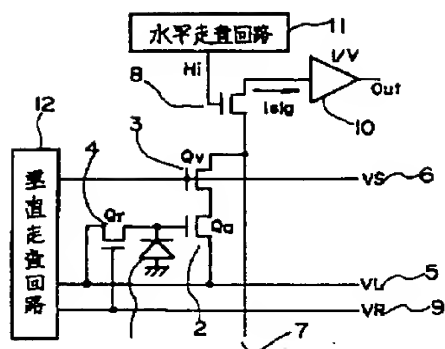
【図9】



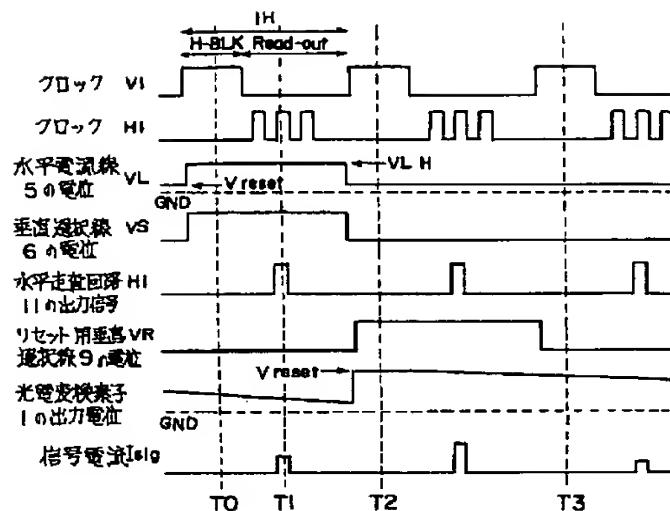
【図7】



【図10】



【図11】



フロントページの続き

(72)発明者 川島 光

伊丹市瑞原4丁目1番地 三菱電機株式会  
社ユー・エル・エス・アイ開発研究所内

(72)発明者 村田 直文

伊丹市瑞原4丁目1番地 三菱電機株式会  
社ユー・エル・エス・アイ開発研究所内